

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

Patent Number: JP2090683
 Publication date: 1990-03-30
 Inventor(s): HASEGAWA KAZUMASA
 Applicant(s): SEIKO EPSON CORP
 Requested Patent: JP2090683
 Application Number: JP19880242810 19880928
 Priority Number(s):
 IPC Classification: H01L29/784 ; H01L21/336 ; H01L27/12
 EC Classification:
 Equivalents:

Abstract

PURPOSE: To enable the reduction of impurity mixing processes in number, an offset region in area, and a thin film transistor of this design in cost by a method wherein a channel region and an offset region are formed of the same impurity in the same concentration.

CONSTITUTION: A semiconductor thin film 102 is formed on a substrate 101, and a gate insulating film 103 and a gate electrode 104 are formed. P<+>-regions or n<+>-regions are formed through an ion implantation method (I/I method) and made to serve as a source and a drain region 106 and 107. In this process, photoresist or the like is used as a mask material. A channel region and an offset region 108 are not doped with a p-type or an n-type conductivity type impurity after the forming process of the gate electrode 104 has been completed. Therefore, it is enough that an impurity mixing process is performed once at a minimum. Provided that p-type or n-type conductivity impurity contained in the channel region and the offset region 108 is 10^{15} cm⁻³ or less in concentration, the drain region 107 is remarkably improved in breakdown strength and the offset region 108 is largely reduced in size when a semiconductor thin film 102 is formed of polycrystalline Si.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平2-90683

⑬ Int. Cl.⁸ ⑭ 識別記号 ⑮ 庁内整理番号 ⑯ 公開 平成2年(1990)3月30日
H 01 L 29/784
21/336
27/12 A 7514-5F
8624-5F H 01 L 29/78 3 1 1 S
8624-5F P
審査請求 未請求 請求項の数 3 (全4頁)

⑰ 発明の名称 薄膜トランジスタ及びその製造方法

⑱ 特 願 昭63-242810

⑲ 出 願 昭63(1988)9月28日

⑳ 発 明 者 長 谷 川 和 正 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

㉑ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

㉒ 代 理 人 弁理士 上柳 雅彦 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ及びその製造方法

2. 特許請求の範囲

(1) 少なくとも表面が絶縁された基板上に、
半導体層、ゲート絶縁膜、ゲート電極を設け、
前記半導体層中に、チャネル領域、オフセット
領域、ソース、ドレイン領域を設けて成る薄膜ト
ランジスタにおいて、チャネル領域及びオフセッ
ト領域を同じ導電型を有する同一の不純物で、同
一不純物濃度で形成したことを特徴とする薄膜ト
ランジスタ。

(2) 前記チャネル領域及びオフセット領域に
おけるp型もしくはn型の導電型を有する不純物
濃度を 10^{18}cm^{-3} 以下としたことを特徴とする、
請求項1記載の薄膜トランジスタ。

(3) 少なくとも表面が絶縁された基板上に、
半導体層、ゲート絶縁膜、ゲート電極を設け、

前記半導体層中に、チャネル領域、オフセット
領域、ソース、ドレイン領域を設けて成る薄膜ト
ランジスタの製造方法において、ソース、ドレイ
ン領域の形成時にのみ前記半導体層中にp型も
しくはn型の導電型を有する不純物を混入する工
程を有することを特徴とする、薄膜トランジスタ
の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は高耐圧の薄膜トランジスタ(以下TF
Tと示す)及びその製造方法に関する。

【従来の技術】

高耐圧TFETは、S. SEKI et al.
IEEE ELECTRON DEVICE
LETTERS, VOL. EDL-8, NO. 9,
pp. 425-427, 1987. 等に表示される
ように、通常のTFETと異なり、オフセット領域
を持っている。

従来の高耐圧TFTは、前記文献に示されるごとく、オフセット領域とチャネル領域との不純物濃度が異なっていた。

【発明が解決しようとする課題】

しかし、従来の高耐圧TFTは、その製造工程において、不純物混入工程を最低2回要していた。オフセット領域を形成する工程及びソース、ドレイン領域を形成する工程である。この高耐圧TFTで相補型（以下、CMOS型と示す）の回路を組んだ半導体装置を形成する場合は、前記不純物混入工程が最低4回と多く、高耐圧TFTを用いた半導体装置が高コストなものとなるという課題があった。また、従来のオフセット領域とチャネル領域と不純物濃度が異なる高耐圧TFTにおいては、オフセット領域を大きくする必要があり、1個の高耐圧TFTの占める面積が大きくなり、これを用いた半導体装置のコスト高に拍車をかけていた。

そこで本発明は、高耐圧TFTの不純物混入工

程数を低減し、また、高耐圧TFTのオフセット領域を縮小することによって、高耐圧TFTを用いた半導体装置を低コスト化することを目的とするものである。

【課題を解決するための手段】

以上の課題を解決するため、本発明の薄膜トランジスタは、チャネル領域及びオフセット領域を同じ導電型を有する同一の不純物で、同一不純物濃度で形成したことを特徴とする。また、前記チャネル領域及びオフセット領域におけるp型もしくはn型の導電型を有する不純物濃度を 10^{18}cm^{-3} 以下としたことを特徴とする。また、本発明の薄膜トランジスタの製造方法は、ソース、ドレイン領域の形成時にのみ半導体膜中にp型もしくはn型の導電型を有する不純物を混入する工程を有することを特徴とする。

【実施例】

第1図に、本発明の実施例における高耐圧TFT

Tの製造工程順の断面図を示す。図(a)は、ゲート電極形成工程終了時の断面図である。101は少なくとも表面が絶縁された基板、102は半導体膜、103はゲート絶縁膜、104はゲート電極である。基板101上に半導体膜102を形成し、ゲート絶縁膜103、ゲート電極104を形成する。図(b)は、ソース、ドレイン領域形成工程時の断面図であり、105は不純物の混入を阻止するマスク材料である。イオン注入法(I/I法)等でp⁺領域(p型の導電型を有する不純物濃度が濃い領域)もしくはn⁺領域(n型の導電型を有する不純物濃度が濃い領域)を形成し、ソース、ドレイン領域とする。I/I法を用いる場合、マスク材料105にはフォトリソスト等が用いられる。ゲート電極とソース、ドレイン領域との間がオフセット領域となる。半導体膜102がSiの場合、混入する不純物はB(p型)、P(n型)等を用い、不純物濃度は 10^{18}cm^{-3} 程度である。図(c)はソース、ドレイン領域形成工程終了時の断面図であり、1

06及び107は図(b)に示す工程により形成されたソース、ドレイン領域、108はチャネル領域及びオフセット領域である。チャネル領域及びオフセット領域108にはゲート電極104を形成する工程以降はp型もしくはn型の導電型を有する不純物は混入されない。このため、本実施例における不純物混入工程は最低1回でよく、通常のTFTを形成する工程と同様の工程で高耐圧TFTが形成できる。図(c)以降に、絶縁膜の形成、配線等がなされ、半導体装置が完成する。

本実施例において、チャネル領域及びオフセット領域108におけるp型もしくはn型の導電型を有する不純物濃度を 10^{18}cm^{-3} 以下とすると、半導体膜102に多結晶Siを用いた場合においてドレイン耐圧が著しく向上し、オフセット領域が大きく縮小される。多結晶Si中にp⁺n接合を形成した場合、結晶境界の欠陥に起因するリーク電流が多く、逆方向耐圧も小さい。高耐圧TFTを形成した場合においても同様に、これを向上

2)

ト
州
すラ
モ
の
の
のの
の
の
の
の

の

の

の

の

の

の

の

の

の

の

の

の

の

の

の

の

の

させるには、結晶成長させ結晶粒を大きくするか、 H_2 プラズマ処理等により欠陥に水素等の原子を添加してやる必要があった。ところが、上記のごとくオフセット領域の不純物濃度を 10^{14}cm^{-3} 以下とすると、特に結晶成長とか、 H_2 プラズマとかの工程を要すること無くドレイン配圧が向上し、オフセット領域が縮小できる。例えば、従来は 100V のドレイン配圧を得るのにオフセット長(第1図(c)におけるゲート電極端とソース、ドレイン領域端との距離)が $20 \mu\text{m}$ 必要であったが、これを半分の $10 \mu\text{m}$ とすることができた。

第2図に、本発明の実施例におけるCMOS型高耐圧TFTを用いた半導体装置の製造工程順の断面図を示す。同図(a)は、Pch TFTのソース、ドレイン領域を形成するため、選択的にp型の導電型を有する不純物を混入する工程時の断面図であり、第1図と同一の記号は第1図と同一のものを表す。同図(b)は、Nch TFTのソース、ドレイン領域を形成するため、選択的にn型の導電型を有する不純物を混入する工程時

領域及びオフセット領域を1型とした方が現在好結果が得られている。また、本発明の半導体装置の製造方法を用いて、同時に、通常のオフセット領域の無いTFTも形成できるため、CMOS型で、通常のTFT、高耐圧TFTの混在した半導体装置が少ない工程数で形成できる。高耐圧TFTを用いて、エレクトロルミネッセンスや圧電素子の駆動回路等が形成でき、本発明の応用分野は広い。

【発明の効果】

以上述べたように本発明によれば、高耐圧TFTにおいて、チャネル領域及びオフセット領域を同じ導電型を有する同一の不純物で、同一不純物濃度で形成することにより、またその製造方法において、ソース、ドレイン領域の形成時にのみ半導体母体中にp型もしくはn型の導電型を有する不純物を混入することにより、製造工程数が低減される。また、前記チャネル領域及びオフセット領域におけるp型もしくはn型の導電型を有する

の断面図である。201及び202は同図(a)の工程で形成されたPch TFTのソース、ドレイン領域であり、203はPch TFTのチャネル領域及びオフセット領域である。同図(c)は、CMOS型高耐圧TFTのソース、ドレイン領域形成工程終了時の断面図である。204及び205は同図(b)の工程で形成されたNch TFTのソース、ドレイン領域であり、206はNch TFTのチャネル領域及びオフセット領域である。以上の実施例でわかるように、CMOS型高耐圧TFTを形成する場合において、不純物混入工程は最低2回でよく、従来の最低4回に比べ大幅に製造工程が短縮される。

以上述べた実施例は、ゲート電極の両側にオフセット領域を持つTFTを用いた例であるが、ゲート電極の片側のみオフセット領域を持つTFTを用いる場合においても、本発明を適用すればよい。また、もちろんチャネル領域及びオフセット領域は異性(1型)半導体で構成してもよい。半導体母体に多結晶Siを用いる場合は、チャネル

不純物濃度を 10^{14}cm^{-3} 以下とすることにより、オフセット領域が縮小される。以上の効果により、低コストで製造できる高性能の高耐圧TFTが実現され、それを用いた高耐圧半導体装置が低コストで実現される。また本発明は、一般の高電圧を使用する回路等を含む半導体装置にも適用できる。

4. 図面の簡単な説明

第1図(a)~(c)は、本発明の実施例における高耐圧TFTの製造工程順の断面図。同図(a)はゲート電極形成工程終了時、同図(b)はソース、ドレイン領域形成工程時、同図(c)はソース、ドレイン領域形成工程終了時の断面図。

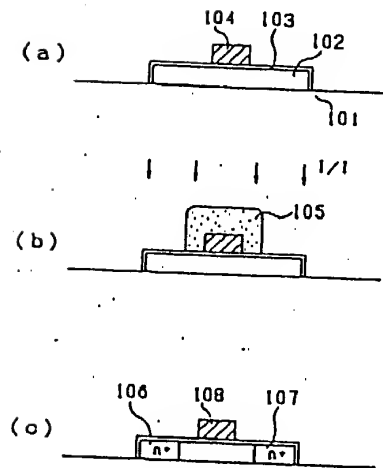
第2図(a)~(c)は、本発明の実施例におけるCMOS型高耐圧TFTを用いた半導体装置の製造工程順の断面図。同図(a)は、Pch TFTのソース、ドレイン領域を形成するため、選択的にp型の導電型を有する不純物を混入する工程時、同図(b)は、Nch TFTのソース、ドレイン領域を形成するため、選択的にn型の導電型を有する不

異物を混入する工程時、同図は、CMOS型高
耐圧TFTのソース、ドレイン領域形成工程終了
時の断面図。

- 101…少なくとも表面が絶縁された基板
- 102…半導体薄膜
- 103…ゲート絶縁膜
- 104…ゲート電極
- 105…マスク材料
- 106, 107…ソース、ドレイン領域
- 108…チャネル領域及びオフセット領域

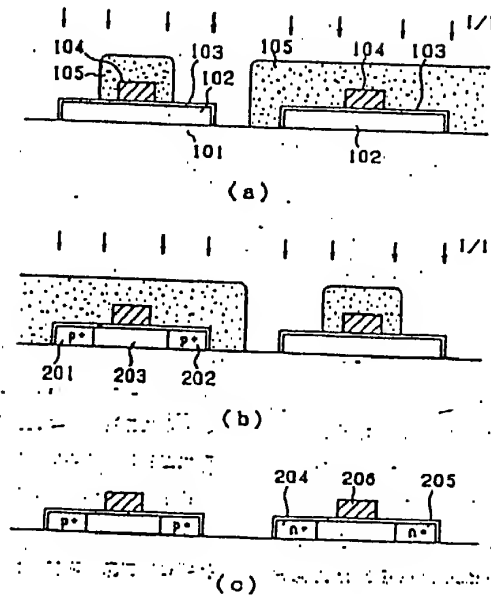
以 上

出願人 セイコーエプソン株式会社
代理人 弁理士 上野 雅彦 (他1名)



- 101…少なくとも表面が絶縁された基板
- 102…半導体薄膜
- 103…ゲート絶縁膜
- 104…ゲート電極
- 105…マスク材料
- 106, 107…ソース、ドレイン領域
- 108…チャネル領域及びオフセット領域

第 1 図



第 2 図

PATENT
ABSTRACTS
OF
JAPAN

PUBLICATION NUMBER : 02090683

ABS-PUBL = 900619
ABS-VOL = 014-282
APPL-DAT = 880928
J-NO = 63242810
FIR-PUBL = 900330
GROUP = E0942

APPLICANT SEIKO EPSON CORP
INVENTOR HASEGAWA KAZUMASA

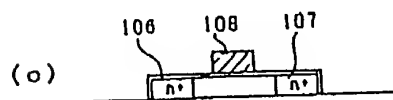
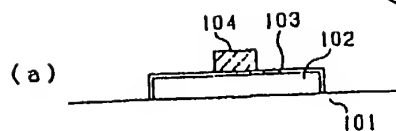
PC H01L29/784, H01L21/336, H01L27/12

TITLE THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

ABSTRACT PURPOSE: To enable the reduction of impurity mixing processes in number, an offset region in area, and a thin film transistor of this design in cost by a method wherein a channel region and an offset region are formed of the same impurity in the same concentration. CONSTITUTION: A semiconductor thin film 102 is formed on a substrate 101, and a gate insulating film 103 and a gate electrode 104 are formed. P<+>-regions or n<+>-regions are formed through an ion implantation method (I/I method) and made to serve as a source and drain region 106 and 107. In this process, photoresist or the like is used as a mask material. A channel region and an offset region 108 are not doped with a p-type or an n-type conductivity type impurity after the forming process of the gate electrode 104 has been completed. Therefore, it is enough that an impurity mixing process is performed once at a minimum. Provided that p-type or n-type conductivity impurity contained in the channel region and the offset region 108 is 10^{15} cm⁻³ or less in concentration, the drain region 107 is remarkably improved in breakdown strength and the offset region 108 is largely reduced in size when a semiconductor thin film 102 is formed of polycrystalline Si.

DOC

END OF DOCUMENT



H01L29/784 D1D

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.